



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11087729 A**(43) Date of publication of application: **30.03.99**

(51) Int. Cl.

**H01L 29/786****H01L 21/336****G02F 1/136****H01L 21/20****H01L 21/268**(21) Application number: **09248752**(22) Date of filing: **12.09.97**(71) Applicant: **SANYO ELECTRIC CO LTD**(72) Inventor:  
**SEGAWA YASUO**  
**YAMADA TSUTOMU**  
**YOKOYAMA RYOICHI**  
**YONEDA KIYOSHI**

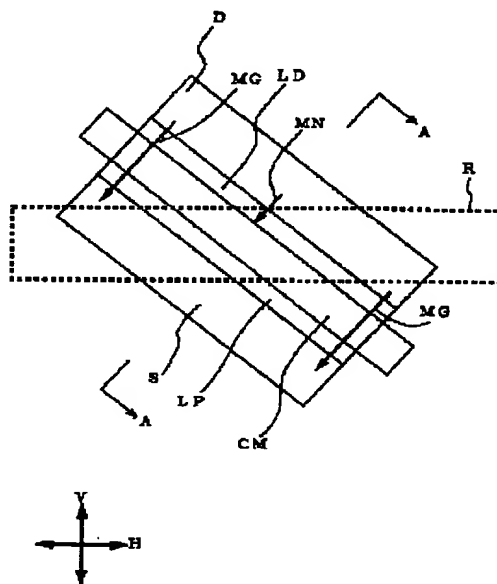
## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To obtain a semiconductor device in which an irregularity in the irradiation energy of a pulsed laser is prevented, by adjusting a relationship between the size of a channel region, the pitch of the pulsed laser, and an angle which is formed by the direction in the channel width of the channel region and by a long-axis direction to be irradiated with the pulsed laser.

**SOLUTION:** The direction of a channel region, i.e., the direction in the width  $W$  of the channel region, and the direction, i.e., the long-axis direction, of a line beam, in this case the horizontal direction, are set so as to form an angle which is decided by a specific relationship. That is to say, a relationship among a channel width  $W$ , a pulse pitch  $P$  and the angle is set so as to be expressed by a expression. As a result, even when, e.g., a defective crystallization region  $R$  is generated so as to pass the channel region, a possibility that the movement route  $MN$  of the channel region is worsened in the defective crystallization region  $R$  is reduced, parts  $MG$ 's of the movement route  $MN$  evade the defective crystallization region  $R$ , it is possible to prevent the region  $R$  from being worsened, and a good element characteristic is obtained.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-87729

(43) 公開日 平成11年(1999)3月30日

(51) Int. Cl. <sup>8</sup>

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78 6 2 7 G

21/336

G 0 2 F 1/136 5 0 0

G 0 2 F 1/136

5 0 0

H 0 1 L 21/20

H 0 1 L 21/20

21/268

F

21/268

審査請求 未請求 請求項の数6 O L (全 10 頁)

(21) 出願番号

特願平9-248752

(22) 出願日

平成9年(1997)9月12日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 瀬川 泰生

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(72) 発明者 山田 努

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(72) 発明者 横山 良一

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(74) 代理人 弁理士 安富 耕二 (外1名)

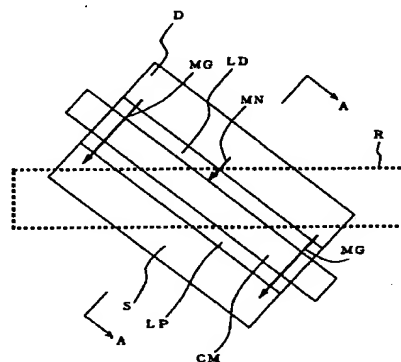
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 p-Si TFTLCDのp-Siを形成するレーザーアニールにおいて、照射領域の強度の不均一に起因したトランジスタ特性の悪化を防止する。

【解決手段】 チャンネル幅W、パルスレーザーのピッチP及びラインビームの向きとチャンネルの向きとのなす角度 $\theta$ との間の関係を $W \sin \theta > P$ とすることにより、チャンネル領域CHに結晶化不良領域Rが生じてても、素子特性に影響を及ぼすことがなくなり、良好なp-Si LCDの製造歩留まりが向上する。



## 【特許請求の範囲】

【請求項1】 パルスレーザーによるアニールを施された半導体層をチャンネル領域に用いた半導体素子が複数形成された半導体装置の製造方法において、前記チャンネル領域のチャンネル幅Wが、前記パルスレーザーのピッチPよりも大きい前記半導体素子について、前記チャンネル幅W、前記ピッチP、及び、前記チャンネル領域のチャンネル幅方向と前記パルスレーザーの被照射領域の長軸方向とのなす角度 $\theta$ が、

【数2】

$$W \sin \theta > P \quad \dots \textcircled{1}$$

の関係にあることを特徴とする半導体装置の製造方法。

【請求項2】 基板上に形成された多結晶半導体膜の島状層と、前記多結晶半導体膜の島状層中のチャンネル領域に絶縁膜を介して重畳配置されたゲート電極とを有し、前記多結晶半導体膜は、基板上に形成された非晶質半導体膜にパルスレーザーによるアニールを施すことにより多結晶化して得られる多結晶半導体素子を複数有した半導体装置の製造方法において、前記チャンネル領域のチャンネル幅Wが、前記パルスレーザーのピッチPよりも大きい前記多結晶半導体素子について、記チャンネル幅W、前記ピッチP、及び、前記チャンネル領域のチャンネル幅方向と前記パルスレーザーの被照射領域の長軸方向とのなす角度 $\theta$ が、

【数2】

$$W \sin \theta > P \quad \dots \textcircled{1}$$

の関係にあることを特徴とする半導体装置の製造方法。

【請求項3】 基板上に島状に形成された多結晶半導体膜と、前記多結晶半導体膜のチャンネル領域に絶縁層を介して重畳配置されたゲート電極とを有し、前記多結晶半導体膜は、基板上に形成された非晶質半導体膜にパルスレーザーによるアニールを施すことにより多結晶化して得られる多数の多結晶半導体素子を有した半導体装置の製造方法において、前記チャンネル領域のチャンネル幅が、前記パルスレーザーのピッチよりも大きい前記多結晶半導体素子について、前記チャンネル領域のチャンネル長L、前記チャンネル幅W、前記ピッチP、及び、前記チャンネル領域のチャンネル幅方向と前記パルスレーザーの被照射領域の長軸方向とのなす角度 $\theta$ が、

【数4】

$$W \sin \theta - L \cos \theta > P \quad \dots \textcircled{2}$$

の関係にあることを特徴とする半導体装置の製造方法。

【請求項4】 基板上に島状に形成された多結晶半導体膜が間に絶縁層を挟んでゲート電極に対向してなり、前記多結晶半導体膜中に、前記ゲート電極に対向するチャンネル領域と、このチャンネル領域の両側に間に不純物が低濃度に含有された低濃度領域を挟んで前記不純物が高濃度に含有されたソース領域及びドレイン領域を有し、前記多結晶半導体膜は、基板上に形成された非晶質

半導体膜にパルスレーザーによるアニールを施すことにより多結晶化して得られる多数の多結晶半導体素子を有した半導体装置の製造方法において、

前記チャンネル領域のチャンネル幅が、前記パルスレーザーのピッチよりも大きい前記多結晶半導体素子について、前記チャンネル領域のチャンネル長L、前記低濃度領域の長さ、前記チャンネル幅W、前記ピッチP、及び、前記チャンネル領域のチャンネル幅方向と前記パルスレーザーの被照射領域の長軸方向とのなす角度 $\theta$ が、

【数6】

$$W \sin \theta - (L + L_1) \cos \theta > P \quad \dots \textcircled{3}$$

の関係にあることを特徴とする半導体装置の製造方法。

【請求項5】 前記基板の辺方向と前記パルスレーザーの被照射領域の長軸方向とは略同一方向であり、前記チャンネル幅方向と前記基板の一边方向とは、前記角度 $\theta$ をなすことを特徴とする請求項2から請求項4に記載の半導体装置の製造方法。

【請求項6】 前記基板の辺方向と前記チャンネル領域のチャンネル幅方向とは略同一方向であり、前記基板の一边方向と前記パルスレーザーの被照射領域の長軸方向とは、前記角度 $\theta$ をなすことを特徴とする請求項2から請求項4に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置、特に、基板上の非単結晶半導体層にレーザーアニールを施して得た多結晶半導体層を用いた半導体装置の製造方法に関する。

【0002】

【従来の技術】光学部材として液晶や有機エレクトロルミネッセンスを用いた表示素子からなる平面ディスプレイ装置は、小型、薄型、低消費電力などの利点を有し、OA機器、AV機器等の分野で実用化が進められている。これら液晶表示装置(LCD)や有機EL表示装置では、各表示素子の画像情報の保持と書き換えのタイミングを制御するスイッチング素子として、液晶やELを支持する基板上に薄膜トランジスタ(TFT)を作り込んだアクティブマトリクス型が、その画質の良さから主流となっている。中でも、TFTを表示素子のスイッチング素子としてのみならず、表示素子を駆動する周辺ドライバーを構成すべく表示素子群の周辺にも形成したドライバー内蔵型が開発され、更なる小型化や低コスト化が実現をしている。

【0003】ドライバー内蔵型の表示装置に用いるTFTとしては、ドライバーにも適用できる動作速度と、耐熱性の低い安価なガラス基板上に作成できる成膜温度の低さから、チャンネル層に多結晶半導体特にポリシリコン(p-Si)を用いたものが適している。ポリシリコンの形成に当たっては、基板上に形成されたアモルファスシリコンにレーザーアニールを施すことにより、支持

基板温度を400～600℃に抑えながら結晶化することができ、こうして得たp-Siを使ってTFTを形成するという方法により、無アルカリガラス基板上にドライバ回路を作成することが可能となる。

【0004】図8は、このようなレーザーアニールを行うためのレーザーアニール装置の構成図である。(51)はパルスレーザーを発生する発振源、(52)は、レンズ(55)、ミラー(56)からなる光学系、(53)は最終照射部、(54)は内部に被処理基板(59)を支持するステージ(58)を装備した処理チャンバである。レーザー発振源(51)において発生されたエキシマレーザー等のレーザー光は、光学系(52)に送出される。光学系(52)において、各種レンズ(55)はシリンドリカルレンズ、コンデンサレンズ等であり、ここを通過する間にレーザー光は所定の断面形状に整形されたレーザービームとされる。レーザービームは四角形、中でも、長軸方向が短軸方向に対して非常に大きなライン状とされる。このラインビームは、チャンバ(54)に設けられた透明な窓(60)を通して、チャンバ(54)内の被処理基板(59)に照射される。比処理基板(59)を載せたステージ(58)は平面上を水平方向及び垂直方向に可動で、相対的に比処理基板(59)上をラインビームがスキャンされる。

【0005】図9は、被処理基板(59)の拡大断面図である。無アルカリガラス等の基板(10)上にTFTのゲート電極(11)と、これを覆うゲート絶縁膜(12)上に被処理膜であるa-Si(13a)が形成されている。図10は、得られたp-Si(13)を用いたTFTの断面図である。図11はTFTの平面図であり、図9及び図10は図11のA-A線に沿った断面図となっている。a-Si(13A)にレーザーアニールを施すことにより得られたp-Si(13)は、ゲート電極(11)の上方を通過する領域に島状に残され、ゲート電極(11)の直上領域をノンドープのチャンネル領域(CH)、その両側に不純物が低濃度にドーピングされたLD(Lightly Doped)領域(LD)、更にその外側に、不純物が高濃度にドーピングされたソース領域(S)及びドレイン領域(D)が形成されている。p-Si(13)及びLD領域(LD)を形成する際にマスクとして用いられた注入ストップ膜(14)を覆ってSiNx、SiO<sub>2</sub>等の層間絶縁膜(15)が形成されている。層間絶縁膜(15)上には、ソース電極(16)及びドレイン電極(17)が形成され、層間絶縁膜(15)中に形成されたコンタクトホール(CT)を介して各々ソース領域(S)及びドレイン領域(D)に接続されている。

【0006】従来、被処理基板(58)に形成される複数のTFTの向き即ちチャンネル領域(CH)のチャンネル幅の延長方向あるいはチャンネル長の延長方向は、基板平面に関して、水平方向(H)を向くか、垂直方向

(V)を向いている。言い換えれば、各TFT素子間で、チャンネルの向きが互いに平行または直角をなす関係となっている。また、ラインビームの向き即ちラインビームの辺、及び、基板の辺等も、水平方向(H)あるいは垂直方向(V)を向いている。

【0007】

【発明が解決しようとする課題】図12は、a-Si(13A)への照射レーザーエネルギー(横軸)と、その時形成されるp-Si(13)のグレインサイズ(縦軸)との関係図である。エネルギーが大きくなるに従ってグレインサイズも大きくなるが、最大のグレインサイズが得られるあるエネルギー値E<sub>0</sub>を越えるとグレインサイズが急激に小さくなる。従って、所定のグレインサイズを得るためには、エネルギーがE<sub>d</sub>とE<sub>u</sub>の狭い範囲内になければならない。

【0008】このため、ラインビームの照射エネルギーが僅かでもばらついて、最適範囲E<sub>d</sub>～E<sub>u</sub>間から外れると、結晶化が十分に行われず、グレインサイズの小さい結晶化不良領域(R)が、p-Si中のある領域に生じる。図11に、あるTFTのチャンネル領域(CH)と結晶化不良領域(R)との位置関係を示す。チャンネル領域(CH)が、チャンネル幅Wがチャンネル長よりも長い細長形状であるとき、図に示されるように、基板上のあるTFTに関して、チャンネルの向き即ちチャンネル幅Wの延長方向と、結晶化不良領域(R)の向き即ち結晶化不良領域(R)の長軸の延長方向との関係は、平行であるか直角である。

【0009】図11において、チャンネル領域(CH)を結晶化不良領域(R<sub>v</sub>)が縦断する場合は、チャンネル領域(CH)中の移動経路の一部が結晶化不良領域(R<sub>v</sub>)により占められて悪化するに過ぎず(MN)、残りの移動経路(MG)は結晶化不良領域(R<sub>v</sub>)を回避している。従って、移動経路の幅が縮小し、実質的なチャンネル幅が削減されるものの、電気特性に大きく影響を及ぼすことはなく、素子の正常な動作が可能となる。

【0010】これに対して、結晶化不良領域(R<sub>h</sub>)がチャンネル領域(CH)を横断する場合、結晶化不良領域(R<sub>h</sub>)がチャンネル領域(CH)の一部でもかかっていると、移動経路(MN<sub>h</sub>)が全幅にわたって悪化するため、この素子の特性が目立って悪化する。

【0011】

【課題を解決するための手段】本発明はこの課題を解決するために成され、パルスレーザーによるアニールを施された半導体層をチャンネル領域に用いた半導体素子が複数形成された半導体装置の製造方法において、前記チャンネル領域のチャンネル幅Wが、前記パルスレーザーのピッチPよりも大きい前記半導体素子について、前記チャンネル幅W、前記ピッチP、及び、前記チャンネル領域のチャンネル幅方向と前記パルスレーザーの被照射領域の長軸方向とのなす角度θが、

【0012】

【数2】

$$W \sin \theta > P \quad \dots \textcircled{1}$$

【0013】の関係にある構成である。また、基板上に形成された多結晶半導体膜の島状層と、前記多結晶半導体膜の島状層中のチャンネル領域に絶縁膜を介して重畳配置されたゲート電極とを有し、前記多結晶半導体膜は、基板上に形成された非晶質半導体膜にパルスレーザによるアニールを施すことにより多結晶化して得られる多結晶半導体素子を複数有した半導体装置の製造方法において、前記チャンネル領域のチャンネル幅 $W$ が、前記パルスレーザのピッチ $P$ よりも大きい前記多結晶半導体素子について、記チャンネル幅 $W$ 、前記ピッチ $P$ 、及び、前記チャンネル領域のチャンネル幅方向と前記パルスレーザの被照射領域の長軸方向とのなす角度 $\theta$ が、

【0014】

【数2】

$$W \sin \theta > P \quad \dots \textcircled{1}$$

【0015】の関係にある構成である。これにより、パルスレーザのピッチと同じ幅を有する不良領域がチャンネル領域上に発生しても、チャンネル領域の全幅を占めることが少なくなり、素子特性の悪化が防がれる。また、基板上に島状に形成された多結晶半導体膜と、前記多結晶半導体膜のチャンネル領域に絶縁層を介して重畳配置されたゲート電極とを有し、前記多結晶半導体膜は、基板上に形成された非晶質半導体膜にパルスレーザによるアニールを施すことにより多結晶化して得られる多数の多結晶半導体素子を有した半導体装置の製造方法において、前記チャンネル領域のチャンネル幅が、前記パルスレーザのピッチよりも大きい前記多結晶半導体素子について、前記チャンネル領域のチャンネル長 $L$ 、前記チャンネル幅 $W$ 、前記ピッチ $P$ 、及び、前記チャンネル領域のチャンネル幅方向と前記パルスレーザの被照射領域の長軸方向とのなす角度 $\theta$ が、

【0016】

【数4】

$$W \sin \theta - L \cos \theta > P \quad \dots \textcircled{2}$$

【0017】の関係にある構成である。これにより、パルスレーザのピッチと同じ幅を有する不良領域がチャンネル領域上に発生しても、チャンネル領域の全幅を占めることが避けられ、良好な素子特性を有した半導体装置が製造される。更に、基板上に島状に形成された多結晶半導体膜が間に絶縁層を挟んでゲート電極に対向してなり、前記多結晶半導体膜中に、前記ゲート電極に対向するチャンネル領域と、このチャンネル領域の両側に間に不純物が低濃度に含有された低濃度領域を挟んで前記不純物が高濃度に含有されたソース領域及びドレイン領域を有し、前記多結晶半導体膜は、基板上に形成された非晶質半導体膜にパルスレーザによるアニールを施す

ことにより多結晶化して得られる多数の多結晶半導体素子を有した半導体装置の製造方法において、前記チャンネル領域のチャンネル幅が、前記パルスレーザのピッチよりも大きい前記多結晶半導体素子について、前記チャンネル領域のチャンネル長 $L$ 、前記低濃度領域の長さ、前記チャンネル幅 $W$ 、前記ピッチ $P$ 、及び、前記チャンネル領域のチャンネル幅方向と前記パルスレーザの被照射領域の長軸方向とのなす角度 $\theta$ が、

【0018】

【数6】

$$W \sin \theta - (L + L_1) \cos \theta > P \quad \dots \textcircled{3}$$

【0019】の関係にある構成である。これにより、パルスレーザのピッチと同じ幅を有する不良領域がチャンネル領域上に発生しても、チャンネル領域及び低濃度領域中に形成される移動経路の全幅を占めることが避けられるので、良好な素子特性を有した半導体装置が製造される。

【0020】特に、前記基板の一边方向と前記パルスレーザの被照射領域の長軸方向とは略同一であり、前記チャンネル幅方向と前記基板の一边方向とは、前記角度 $\theta$ をなす構成である。これにより、基板の辺とパルスレーザの向きとを制御することで、前述の式①、②、③を満たす関係が実現される。

【0021】特に、前記基板の一边方向と前記チャンネル領域のチャンネル幅方向とは略同一であり、前記基板の一边方向と前記パルスレーザの被照射領域の長軸方向とは、前記角度 $\theta$ をなす構成である。これにより、基板の半導体素子の配置方向を制御することで、前述の式①、②、③を満たす関係が実現される。

【0022】

【発明の実施の形態】図1及び図2を用いて、本発明の第1の実施の形態に係るレーザアニール方法を示す。まず、図1は、大基板(1)に、表示装置に用いられるアクティブマトリクス基板(2)が複数枚例えば6枚含まれている。各アクティブマトリクス基板(2)において、(3)は表示素子がマトリクス状に配列形成される予定の表示部、(4)は各表示素子に表示信号を書き込むためにスイッチングを制御する走査信号を発生すべく形成される予定のゲートドライバー、(5)は走査信号に同期して各々の表示素子に表示信号を供給すべく形成される予定のドレインドライバーである。

【0023】これらアクティブマトリクス基板(2)は、各々の表示素子を構成すべく対向電極を備えた対向基板と貼り合わされ、各アクティブマトリクス基板

(2)毎に表示装置筐体が構成されて切り離され、個々の筐体内に光学部材である液晶が装填されて液晶表示装置(LCD)が完成される。表示部(3)において、各表示素子は、液晶を誘電層としたコンデンサと、このコンデンサに液晶を駆動するための表示信号電圧の書き換えと保持を制御するためのスイッチング素子としてのT

FTが形成され、また、ドライバ部(4, 5)においては、インバータを構成すべくCMOSTランジスタが、N-ch及びP-chのTFTにより形成される。

【0024】図1では、拡大断面を図9に示すような、基板(10)上にa-Si(13a)が形成された状態で、レーザーアニールを施す様子が示されている。パルスレーザであるラインビーム(LB)の各ショットが、基板(1)上を所定のオーバーラップ量をもって順次にずらされていくことでスキャンが行われる。ラインビーム(LB)の長軸方向及び短軸方向は、各々基板(1)平面に関して水平方向(H)及び垂直方向(V)にされている。

【0025】図2は、レーザーアニールを用いて形成されたp-Si(13)を使って形成されるTFTの平面図である。なお、図2のA-A線に沿う断面構造は図10と同じである。本発明では、チャンネル領域(CH)の向き即ちチャンネル幅W方向と、ラインビーム(LB)の向き即ち長軸方向、ここでは水平方向(H)とを、次に詳述するような関係によって決まる $\theta$ の角度をなすようにしている。

【0026】まず、本願出願人は、結晶化不良領域(R)が発生する理由が以下の通りであることを突き止めた。初めに、図3に示すようにラインビーム(LB)のスキャンは、パルスレーザの各ショット(STn)が、その短軸方向、ここでは垂直方向(V)に順次にずられていくことにより行われる。ここで、ラインビーム(LB)の線幅Tと線長は図8に示すレーザーアニール装置の光学系(52)において設定されている。また、各ショット(STn)間のオーバーラップ量即ちピッチPは、レーザー発振源(51)の発振周波数とスキャン速度即ちステージ(58)の移動速度によって決定される。

【0027】パルスレーザの照射エネルギーは、各ショット間でばらつきがあり、あるショットについて、照射エネルギーがEdとEuの間の非常に狭い最適範囲から外れてしまうと、結晶化が不良となり、そのショットは失敗となる。図3において、例えば、ショットSTn-3が失敗となった場合、続くショットSTn-2, STn-1, ...が重ねられる領域は、再び結晶化が行われ、ショットSTn-3の失敗が回復されるが、ショットSTn-3の最後尾の帯状領域については、このショットが最終となるので、結晶化の不良が回復されず、結晶化不良領域(R)として残ってしまう。即ち、結晶化不良領域(R)は、ラインビーム(LB)のスキャン方向に垂直に延びる細長で、かつ、その線幅Tは、パルスレーザのピッチPに等しいことが分かる。ここで、チャンネル幅W、パルスピッチP及び角度 $\theta$ が、

【0028】

【数1】

$$W \sin \theta = P$$

【0029】の関係にあるとき、図4より、結晶化不良領域(R)がチャンネル領域(CH)上にある場合、結晶化不良領域(R)が図のR1からR2の間に位置するときのみ、チャンネル領域(CH)中の移動経路(MN)が、結晶化不良領域(R)を通過することを避けられず、従って、移動経路(MN)が全幅にわたって悪化する。

【0030】従って、チャンネル幅W、パルスピッチP及び角度 $\theta$ の間の関係を

【0031】

【数2】

$$W \sin \theta > P \quad \dots \textcircled{1}$$

【0032】の如く設定することにより、たとえ結晶化不良領域(R)がチャンネル領域(CH)を通過するように発生しても、チャンネル領域(CH)内の移動経路(MN)が全幅にわたって結晶化不良領域(R)において悪化する確率が小さくなり、移動経路の一部(MG)が、チャンネル領域(CH)中の結晶化不良領域(R)を回避して悪化が防がれるので、良好な素子特性が得られる。

【0033】本発明の第2の実施形態では、まず、図5に示すように、チャンネル長L、チャンネル幅W、パルスピッチP及び角度 $\theta$ が、

【0034】

【数3】

$$W \sin \theta - L \cos \theta = P$$

【0035】の関係にある場合、結晶化不良領域(R)が図のR3に位置するときのみ、チャンネル領域(CH)中の移動経路(MN)が結晶化不良領域(R)を通過することが避けられず、従って、移動経路(MN)が全幅にわたって悪化し、その素子が不良となる。従って、チャンネル領域(CH)のチャンネル長L、チャンネル幅W、パルスピッチP及び角度 $\theta$ の間の関係を、

【0036】

【数4】

$$W \sin \theta - L \cos \theta > P \quad \dots \textcircled{2}$$

【0037】の如く設定することにより、たとえ結晶化不良領域(R)がチャンネル領域(CH)を通過するように発生しても、結晶化不良領域(R)において、チャンネル領域(CH)内の移動経路(MN)が全幅にわたって悪化することが殆ど無くなり、必ずある移動経路の一部(MG)が、チャンネル領域(CH)中の結晶化不良領域(R)を回避して悪化が防がれるので、より良好な素子特性が得られる。

【0038】本発明の第3の実施形態では、図6に示すように、チャンネル領域(CH)のチャンネル長LとLD領域(LD)の幅L1、チャンネル幅W、パルスピッチP及び角度 $\theta$ が、

【0039】

【数5】

$$W \sin \theta - (L + L1) \cos \theta = P$$

【0040】の関係にある場合、結晶化不良領域(R)が図のR4に位置するときのみ、チャンネル領域(CH)中のみならずLD領域(LD)をも合わせた領域における移動経路(MN)が、結晶化不良領域(R)をわたることを避けられず、従って、移動経路(MN)が全幅にわたって悪化し、その素子が不良となる。従って、チャンネル領域(CH)のチャンネル長LとLD領域(LD)の幅L1、チャンネル幅W、パルスピッチP及び角度 $\theta$ の間の関係を、

【0041】

【数6】

$$W \sin \theta - (L + L1) \cos \theta > P \cdots \textcircled{6}$$

【0042】の如く設定することにより、たとえ結晶化不良領域(R)がチャンネル領域(CH)及びLD領域(LD)上を通過するように発生しても、結晶化不良領域(R)において、チャンネル領域(CH)及びLD領域(LD)中の移動経路が全幅にわたって悪化することが殆ど無くなり、必ず移動経路の一部(MG)は、チャンネル領域(CH)中のみならずLD領域(LD)中の結晶化不良領域(R)をも回避することができ、悪化が防がれるので、よりいっそう良好な素子特性が得られる。

【0043】なお、以上の説明において、水平方向(H)と垂直方向(V)とは、相互に置換可能であり、これらの方向が互いに直角な関係にあることが肝要である。また、ラインビーム(LB)の長軸方向と短軸方向、及び、大基板(1)の辺とアクティブマトリクス基板(2)の辺の方向は、水平方向(H)または垂直方向(V)である。

【0044】図7に、本発明の第4の実施の形態に係るレーザーアニール方法を示す。前述の第1から第3の実施の形態においては、大基板(1)即ちアクティブマトリクス基板(2)とラインビーム(LB)との関係を変えることなく、基板(1、2)上のチャンネル領域(CH)のチャンネル幅方向の向きを、基板(1、2)に対して変えることで、前述の①式、②式、③式の実現していた。本実施の形態では、基板(1、2)とチャンネル幅方向との関係を変えることなく、図7に示すように、基板(1、2)そのものを、ラインビーム(LB)に対して、前述の①式、②式、③式の実現する。

【0045】なお、本発明では、図7の関係を得るために、基板(1、2)の向きを変えることによるか、ラインビーム(LB)の向きを変えるかは、区別するものではない。

【0046】

【発明の効果】以上の説明から明らかな如く、本発明で、レーザーアニールが施された半導体膜を用いて形成された半導体素子を複数有する半導体装置の製造方法に

関し、チャンネル領域の寸法、パルスレーザーのピッチ及びチャンネル領域のチャンネル幅方向とパルスレーザーの被照射の長軸方向とのなす角度の間の関係を調整することにより、パルスレーザーの照射エネルギーのばらつきが半導体素子の特性へ影響を及ぼすことが防がれ、素子特性の良好な半導体装置の製造が可能となった。

【図面の簡単な説明】

【図1】本発明の第1から第3の実施の形態にかかる被処理基板とラインビームの被照射領域との位置関係を示す平面図である。

【図2】本発明にかかるチャンネル領域と結晶化不良領域との位置関係を示す平面図である。

【図3】ラインビームがスキャンされる様子を示す平面図である。

【図4】本発明の第1の実施の形態にかかるチャンネル領域と結晶化不良領域のラインビームの被照射領域との位置関係を示す平面図である。

【図5】本発明の第2の実施の形態にかかるチャンネル領域と結晶化不良領域のラインビームの被照射領域との位置関係を示す平面図である。

【図6】本発明の第3の実施の形態にかかるチャンネル領域と結晶化不良領域のラインビームの被照射領域との位置関係を示す平面図である。

【図7】本発明の第4の実施の形態にかかる被処理基板とラインビームの被照射領域との位置関係を示す平面図である。

【図8】レーザーアニール装置の構成図である。

【図9】レーザーアニール時の被処理基板の断面図である。

【図10】TFTの断面図である。

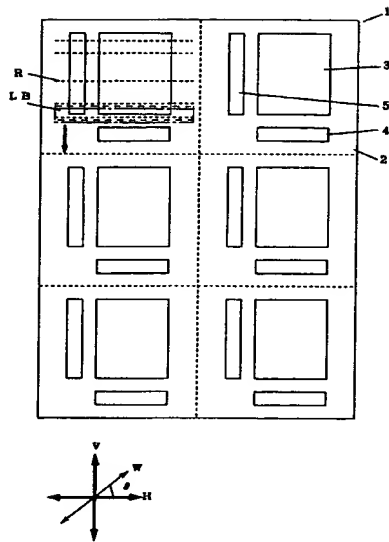
【図11】TFTの平面図である。

【図12】レーザーエネルギーとグレインサイズの関係図である。

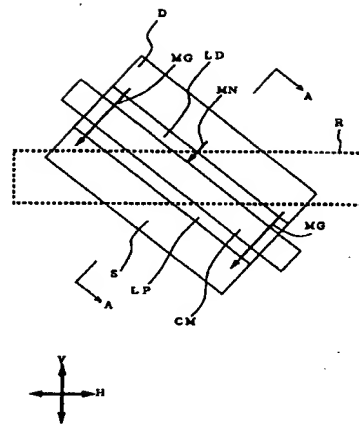
【符号の説明】

- 1 被処理基板
- 2 アクティブマトリクス基板
- 3 画素部
- 4 ゲートドライバー
- 5 ドレインドライバー
- 10 基板
- 11 ゲート電極
- 12 ゲート絶縁膜
- 13 p-Si
- 16 ソース電極
- 17 ドレイン電極
- CH チャンネル領域
- D ドレイン領域
- S ソース領域
- LB ラインビームのエッジライン
- R 結晶化不良領域

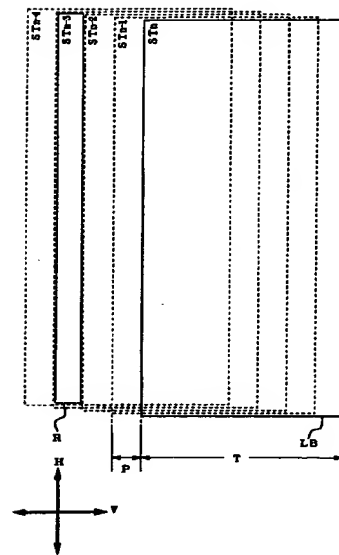
【図1】



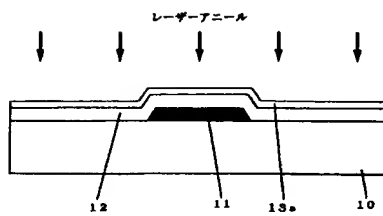
【図2】



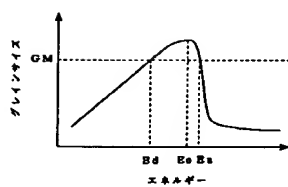
【図3】



【図9】

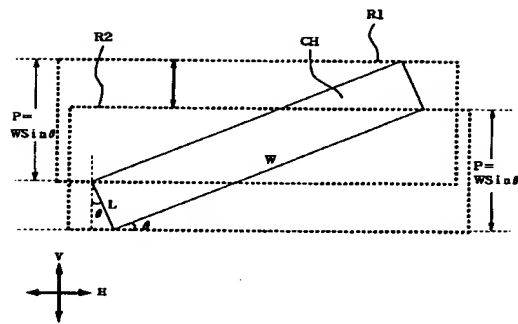


【図12】

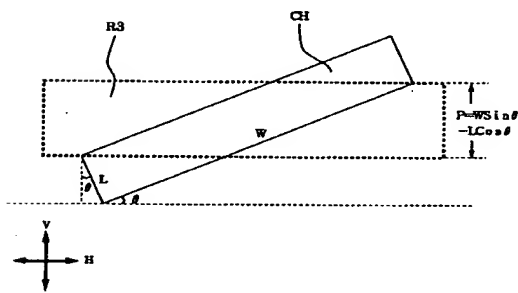




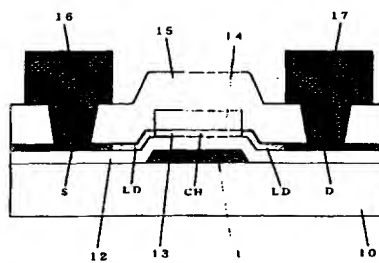
【図4】



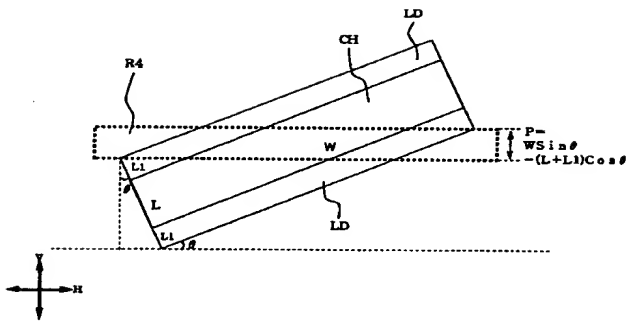
【図5】



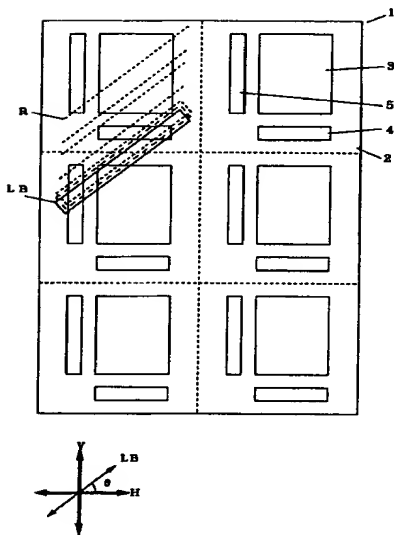
【図10】



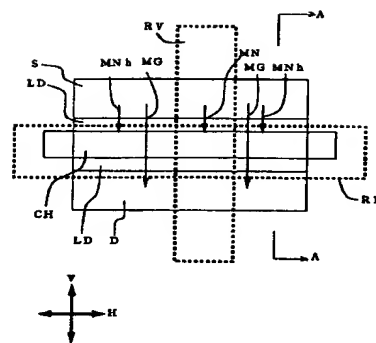
【図 6】



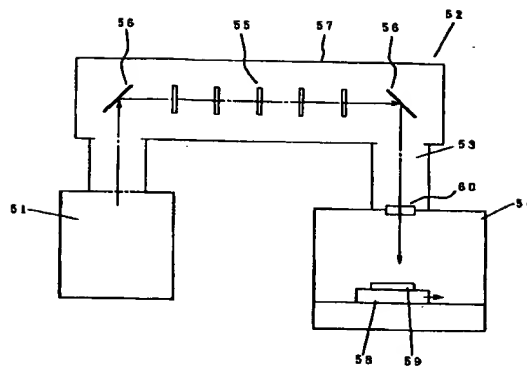
【図 7】



【図 11】



【図 8】



---

フロントページの続き

(72)発明者 米田 清  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内